**Лабораторная работа № 1**

**Процесс проектирования со снижением уровня абстракции моделей**

**Задание:**

Необходимо разработать функциональные и интерфейсные модели умножителя накопителя комплексных чисел для разных уровней абстракций.

**Теория:**

Процесс поведенческого проектирования электронных устройств состоит в постепенном снижении уровня абстракции модели описываемого устройства и повышении ее детализации с точки зрения функциональности, производительности, интерфейса и т.д. Процесс проектирования цифровых устройств со снижением уровня абстракции моделей рассмотрим на примере разработки умножителя/накопителя комплексных чисел (MAC – Multiplier/ Accumulator of complex numbers), который является типовым устройством в системах цифровой обработки сигналов. Устройство имеет два комплексных входа A˙ и B˙, а также комплексный выход Re˙s, представляющий собой сумму произведений входных сигналов за определенный промежуток времени.

Функциональная модель:

Интерфейсная модель:

А(t)

Res(t)

B (t)

Интерфейсная модель:

ReA(n) ReRes(n)

ImA(n)

ReB(n) ImRes(n)

ImB(n)

CLK – обеспечивает тактирование.

RST – сигнал сброса, который обеспечивает начало отсчета времени.

Интерфейсная модель:

ReAm

ReAo ReResm

ImAm ReRes0

ImAo

ReBm ImResm

ReBo

ImRes0

ImBm

ImBo

CLK

RST

**Вывод.** На лабораторной работе разработали функциональные и интерфейсные модели умножителя накопителя комплексных чисел для разных уровней абстракций. Разработка на языке Verilog программы для устройства MAC в соответствии с моделью низшего уровня абстракции является гораздо более сложной задачей, требующей разработки специальных компонентов для умножения и сложения действительных чисел, построения структуры компонентов с учетом синхронизации сигналов во времени и пр., однако ее решение позволит довести разрабатываемое устройство до аппаратной реализации.